

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-222102

(43)Date of publication of application : 18.08.1995

(51)Int.Cl.

H04N 5/92

H04N 5/93

(21)Application number : 06-035345

(71)Applicant : SONY CORP

(22)Date of filing : 08.02.1994

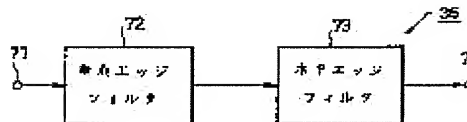
(72)Inventor : IZUMI NOBUAKI
OIKAWA YUKA

(54) DIGITAL VTR

(57)Abstract:

PURPOSE: To prevent the appearance of an edge at a border of macro blocks and a border of super blocks by detecting the edge on a pattern in a variable speed reproduction mode and inserting a circuit having an LPF characteristic to a reproduced video signal for the edge.

CONSTITUTION: A signal received by an input terminal 71 of an edge processing circuit 36 from a de-blocking circuit is fed to a vertical edge filter 72, in which a low pass characteristic is given to an edge component caused in the vertical direction. When the edge in the vertical direction is caused at a border of macro blocks and a border of super blocks the filter 72 provides the edge with a low pass characteristic in the direction horizontal to this section to make the edge in the vertical direction not remarkable. Then an output of the filter 72 is fed to a horizontal edge filter 73, and when an edge in the horizontal direction is caused at a border of macro block and a border of super blocks, the filter 73 provides the edge with a low pass characteristic in the vertical direction to make the edge in the horizontal direction not remarkable.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-222102

(43)公開日 平成7年(1995)8月18日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 5/92
5/93

H 0 4 N 5/ 92
5/ 93

H
H

審査請求 未請求 請求項の数 2 F D (全 6 頁)

(21)出願番号 特願平6-35345

(22)出願日 平成6年(1994)2月8日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 泉 伸明

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 及川 由佳

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

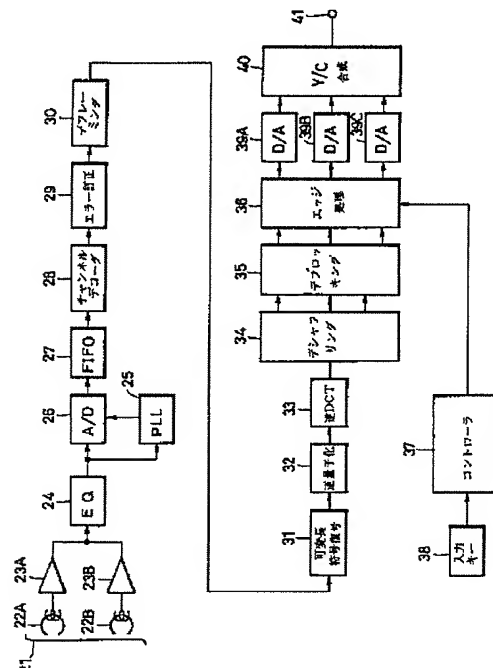
(74)代理人 弁理士 杉浦 正知

(54)【発明の名称】 デジタルVTR

(57)【要約】

【目的】 1画面のビデオ信号をブロック単位で処理するデジタルVTRで、変速再生時にブロックの境界で発生するエッジの問題を改善する。

【構成】 エッジ処理回路36を設ける。エッジ処理回路36は、変速再生時に画面上のエッジを検出し、マクロブロック及び／又はスーパーブロックの境界でエッジが発生すると、再生ビデオデータに対してローパスフィルタ特性を挿入する。これにより、変速再生時にブロックの境界で発生するエッジの問題を改善する。



【特許請求の範囲】

【請求項1】 1画面のビデオデータをブロック単位で処理し、上記1画面のビデオデータを複数トラックに渡って記録するようにしたデジタルVTRにおいて、変速再生時に、画面上のエッジを検出し、上記エッジ部分の再生ビデオ信号に対してローパスフィルタの特性を挿入するようにしたデジタルVTR。

【請求項2】 1画面のビデオデータをスーパーブロックに分割し、各スーパーブロックからマクロブロック単位でデータをシャッフルして集めて処理し、上記1画面のビデオデータを複数トラックに渡って記録するようにしたデジタルVTRにおいて、変速再生時に、マクロブロック及び／又はスーパーブロックの境界の再生ビデオ信号に対してローパスフィルタの特性を挿入するようにしたデジタルVTR。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、ビデオ信号をブロック毎に圧縮して記録するデジタルVTRに関する。

【0002】

【従来の技術】デジタルビデオ信号を圧縮し、回転ヘッドにより磁気テープに記録するようにしたデジタルVTRが提案されている。このようなデジタルVTRでは、例えばNTSC方式のビデオ信号が輝度信号Yと色差信号R-Y、B-Yに分離され、4:1:1のレートでサンプリングされる。そして、所定のDCTブロックにブロック化され、DCT変換される。この時、テープ上に記録したデータがヘッドのクロックやテープ上の横傷等で集中的に失われるのを回避するために、1画面中から所定のパツファ単位のデータがシャッフルされて集められる。この所定のパツファ単位の総符号量が推定され、所定のパツファ単位の総符号量が所定量以内となるように、量子化器が設定される。DCT変換データは、この量子化器で量子化され、それから、可変長符号化される。そして、このデータは、所定のフレームに展開され、エラー訂正符号化され、チャンネルコードにより変調され、回転ヘッドにより磁気テープに記録される。例えばNTSC方式の場合には、10トラックで1フレーム分のビデオデータが記録される。

【0003】

【発明が解決しようとする課題】このようなデジタルVTRでは、変速再生時に、ヘッドが複数トラックを過って走査されるため、1フレームのうちの一部の画像情報しか再生できない。このため、変速再生時には、異なる画面のデータから1画面が形成される。

【0004】上述のように、デジタルVTRでは、1画面中からデータがシャッフルされて集められ、所定のパツファ単位で量子化器が設定される。このため、変速再生時に異なる画面のデータから1画面が形成されると、マクロブロックの境界やスーパーブロックの境界に

エッジが現れる。

【0005】したがって、この発明の目的は、変速再生時にマクロブロックの境界やスーパーブロックの境界でエッジが現れることが防止できるデジタルVTRを提供することにある。

【0006】

【課題を解決するための手段】この発明は、画面のビデオデータをブロック単位で処理し、1画面のビデオデータを複数トラックに渡って記録するようにしたデジタルVTRにおいて、変速再生時に、画面上のエッジを検出し、エッジ部分の再生ビデオ信号に対してローパスフィルタの特性を挿入するようにしたデジタルVTRである。

【0007】この発明は、1画面のビデオデータをスーパーブロックに分割し、各スーパーブロックからマクロブロック単位でデータをシャッフルして集めて処理し、1画面のビデオデータを複数トラックに渡って記録するようにしたデジタルVTRにおいて、変速再生時に、マクロブロック及び／又はスーパーブロックの境界の再生ビデオ信号に対してローパスフィルタの特性を挿入するようにしたデジタルVTRである。

【0008】

【作用】変速再生時に、マクロブロック及び／又はスーパーブロックの境界の再生ビデオデータに対してローパスフィルタ特性を挿入する。これにより、マクロブロック又はスーパーブロックの境界でのエッジを目立たなくすることができる。そして、画面上のエッジを検出し、ブロックの境界エッジが検出されたところで、ローパスフィルタ特性を挿入することで、ブロックの境界で常にローパスフィルタ特性を挿入する場合に比べて、画質の劣化が少なくなる。

【0009】

【実施例】以下、この発明の一実施例について図面を参照して説明する。図1において、アンテナ1でテレビジョン信号が受信され、この受信信号がチューナ回路2に供給される。チューナ回路2で、受信信号から例えばNTSC方式のコンポジットカラービデオ信号が復調される。チューナ回路2の出力がY/C分離回路3に供給される。Y/C分離回路3で、コンポジットカラービデオ信号から、輝度信号Yと色差信号R-Y、B-Yからなるコンポーネントカラービデオ信号が形成される。Y/C分離回路3の出力がA/Dコンバータ4A、4B、4Cに供給される。A/Dコンバータ4A、4B、4Cで、この輝度信号Yと色差信号R-Y、B-Yは、NTSC方式では、(4:1:1)のレートでデジタル化される。

【0010】A/Dコンバータ4A、4B、4Cの出力がブロック化回路5に供給される。ブロック化回路5で、このデータは、例えば画面上の(8×8)サンプルからなるDCT変換のためのブロックにブロック化され

る。ブロック化回路5の出力がシャフリング回路6に供給される。

【0011】シャフリング回路6は、テープ上に記録したデータがヘッドのクロックやテープの損傷等により集中的に失われるのを回避すると共に、1画面が均等に圧縮されるようにするために行われる。シャフリングは、図2に示すように、輝度信号Yの4ブロックと、同一位置にある色差信号R-Y、B-Yの各1ブロックからなるマクロブロックを単位として行われる。例えば、図3に示すように、実画面上が複数のスーパーブロックSB1、SB2、SB3、…に分割され、各スーパーブロックSB1、SB2、SB3、…からマクロブロックMB1、MB2、MB3、…がバラバラになるように集められる。

【0012】シャフリング回路6の出力がDCT回路7に供給されると共に、見積器8に供給される。見積器8で、所定のバッファ単位の総符号量が推定される。そして、この総符号量が所定値以下となる最適な量子化器が決定される。これに基づいて、量子化器9のテーブルが決定される。

【0013】DCT回路7で、ビデオデータがDCT変換され、時間領域の信号が周波数領域の信号に変換される。そして、DCT回路7の出力が量子化器9に供給される。量子化器9で、このDCT回路7の出力が見積器8で決定された量子化テーブルで量子化される。量子化器9の出力は、可変長符号化回路10に供給される。可変長符号化回路10で、DCT変換データは、2次元ハフマン符号等の可変長符号を用いて符号化される。このようにして、記録すべきビデオデータが圧縮される。

【0014】この圧縮データは、フレーム化回路11に供給される。フレーム化回路11で、所定のルールに従って、このビデオデータがフレーム化される。フレーム化回路11の出力がエラー訂正符号化回路12に供給される。エラー訂正符号化回路12で、エラー訂正用のパリティが付加される。エラー訂正符号化回路12の出力がチャンネルコード13に供給される。チャンネルコード13で、記録データにかたよりがでないように乱数化がなされ、24/25変換により24ビットのデータが25ビットのデータに変換される。また、この時、デジタル記録に適したPRIV（パーシャルレスポンス、クラス4）のコーディング処理が行われる。この信号は、記録アンプ14A、14Bを介してヘッド15A、15Bに供給され、磁気テープ16に記録される。1フレーム分のデータは、NTSC方式では、例えば10トラックで記録される。

【0015】図4は、再生系の構成を示すものである。図4において、テープ21の記録信号がヘッド22A、22Bで再生され、再生アンプ23A、23Bを介して、イコライザ24に供給される。イコライザ24は、記録時にテープと磁気ヘッドとの電磁変換特性を向上さ

せるための、パーシャルレスポンス、クラス4の逆処理を行うものである。イコライザ24の出力がPLL回路25に供給されると共に、A/Dコンバータ26に供給される。

【0016】PLL回路25により、イコライザ24の出力からクロックが抽出される。そして、このクロックにより、A/Dコンバータ26で、イコライザ24の出力がデジタル化される。A/Dコンバータ26の出力がFIFO27に供給される。FIFO27は、ジッター成分を除去するために設けられている。

【0017】FIFO27の出力がチャンネルデコーダ28に供給される。チャンネルデコーダ28で、24/25変調の復調処理が行われる。チャンネルデコーダ28の出力がエラー訂正処理回路29に供給される。エラー訂正処理回路29で、エラー訂正処理が行われる。エラー訂正処理回路29の出力がデフレーミング回路30に供給される。デフレーミング回路30で、フレーミングの逆処理が行われる。

【0018】デフレーミング回路30の出力が可変長符号の復号化回路31に供給される。可変長符号の復号化回路31の出力が逆量子化回路32に供給される。逆量子化回路32の出力が逆DCT回路33に供給される。可変長符号の復号化回路31、逆量子化回路32、逆DCT回路33により、ビデオデータが圧縮前のデータに戻される。

【0019】このビデオデータは、デシャフリング回路34に供給される。デシャフリング回路34の出力がデブロッキング回路35に供給される。デシャフリング回路34、デブロッキング回路35で、ビデオデータが実画像空間に戻される。デブロッキング回路35からは、輝度信号Y、色差信号R-Y、B-Yのコンポーネントカラービデオデータが出力される。このコンポーネントカラービデオデータがエッジ処理回路36に供給される。

【0020】エッジ処理回路36は、変速再生時にマクロブロックやスーパーブロックの境界にエッジが現れることを防止するために設けられている。このエッジ処理回路36については、後に詳述する。エッジ処理回路36には、コントローラ37から制御信号が供給される。コントローラ37には、入力キー38からモード設定信号が供給される。入力キー38により変速再生モードに設定されると、コントローラ37から制御信号が発生され、この制御信号により、エッジ処理回路36の動作が設定される。

【0021】エッジ処理回路36の出力がD/Aコンバータ39A、39B、39Cに供給される。D/Aコンバータ39A、39B、39Cで、再生コンポーネントカラービデオデータがアナログ信号に変換される。D/Aコンバータ39A、39B、39Cの出力がY/C合成回路40に供給される。Y/C合成回路40で、輝度

信号Yと、色差信号R-Y、B-Yが合成され、例えばNTSC方式のコンポジットカラービデオ信号が形成される。このコンポジットカラービデオ信号が出力端子41から出力される。

【0022】上述のように、このようなデジタルVTRでは、1フレームのビデオデータが例えば10トラックに渡って記録される。変速再生時には、図5に示すように、ヘッドがトラックを過って走査されるため、1フレームのうちの一部の画像情報しか得ることができない。このため、変速再生時には、時間の異なる複数フレームのデータから1画面が形成される。このため、変速再生時の画面中には、マクロブロックの境界やスーパーブロックの境界で、エッジが現れる。図4に示した再生回路におけるエッジ処理回路36は、このようなエッジを除去するためのものである。

【0023】図6は、エッジ処理回路36の構成を示すものである。図6において、入力端子71からの信号が垂直エッジフィルタ72に供給される。垂直エッジフィルタ72は、垂直方向に生じるエッジ成分に対してローパス特性を与える水平方向フィルタである。マクロブロックの境界やスーパーブロックの境界で垂直方向のエッジが発生すると、垂直エッジフィルタ72でこの部分に水平方向のローパス特性が与えられる。これにより、垂直方向のエッジが目立たなくなる。垂直エッジフィルタ72の出力が水平エッジフィルタ73に供給される。水平エッジフィルタ73は、水平方向に生じるエッジ成分に対してローパス特性を与える垂直方向フィルタである。マクロブロックの境界やスーパーブロックの境界で水平方向のエッジが発生すると、水平エッジフィルタ73でこの部分に垂直方向のローパス特性が与えられる。これにより、水平方向のエッジが目立たなくなる。水平エッジフィルタ73の出力が出力端子74から出力される。

【0024】上述の例では、垂直エッジフィルタ72と、水平エッジフィルタ73の2方向に対してフィルタリング処理を行っているが、どちらか1方向のみでも良い。

【0025】図7は、垂直エッジフィルタ72の具体的な構成である。なお、水平エッジフィルタ73も同様に構成できるので、水平エッジフィルタの説明は省略する。

【0026】図7において、入力端子51からの信号がスイッチ回路52の端子52Aに供給されると共に、水平方向のローパスフィルタ53及び減算回路54に供給される。ローパスフィルタ53で、入力信号中の水平方向の高域成分が除去される。ローパスフィルタ53の出力がスイッチ回路52の端子52Bに供給されると共に、減算回路54に供給される。

【0027】ローパスフィルタ52と、減算回路54とにより、ハイパスフィルタ構成される。すなわち、減算回路54で、入力信号から、入力信号の低域成分が除去

され、入力信号の高域成分が出力される。この減算回路54の出力がエッジ判定回路55に供給される。このように、1つのフィルタで、エッジ成分を除去するためのローパスフィルタの回路と、エッジ成分を検出するためのハイパスフィルタの回路との共通化が図られ、回路規模の削減が図れる。

【0028】エッジ判定回路55で、減算回路54の出力レベルが所定値以上かどうか判断される。減算回路54の出力レベルが所定値以上になると、エッジ判定回路55から、エッジ検出信号が出力される。このエッジ検出信号がANDゲート56の一方の入力端に供給される。ANDゲート56の他方の入力端には、端子58から、マクロブロックの境界で「H」レベルとなるマクロブロック境界信号が供給される。ANDゲート56からは、マクロブロックの境界でエッジ成分が検出されると、「H」レベルが出力される。このANDゲート56の出力がORゲート57の一方の入力端に供給される。ORゲート57の他方の入力端には、端子59から、スーパーブロックの境界で「H」レベルとなるスーパーブロック境界信号が供給される。ORゲート57からは、スーパーマクロブロックの境界にきたか、又はエッジ成分が検出されると、「H」レベルが出力される。ORゲート57の出力がスイッチ制御信号としてスイッチ回路52に供給される。

【0029】マクロブロックやスーパーブロックの境界でなく、垂直方向のエッジが発生していなければ、ORゲート57の出力は「L」レベルであり、スイッチ回路52は端子52A側に切り替えられている。このため、入力端子51からの信号は、出力端子60からそのまま出力される。

【0030】スーパーブロックの境界では、ORゲート57の出力が「H」レベルになるので、スイッチ回路52は端子52B側に切り替えられる。このため、入力信号は、ローパスフィルタ53を介して出力端子60から出力され、スーパーブロックの境界のエッジが鈍らされる。

【0031】また、マクロブロックの境界で、エッジ成分が検出されると、ORゲート57の出力が「H」レベルになるので、スイッチ回路52は端子52B側に切り替えられ、マクロブロックの境界のエッジが鈍らされる。

【0032】なお、上述の一実施例では、デブロッキング回路35の後段にエッジ検出回路36を設け、エッジ検出回路36をデジタル信号で処理しているが、エッジ検出回路をD/Aコンバータ39A、39B、39Cの後段にエッジ検出回路を設け、アナログ信号で処理するようにしても良い。

【0033】

【発明の効果】この発明によれば、変速再生時に、マクロブロック又はスーパーブロックの境界の再生ビデオ

7

ータに対してローパスフィルタ特性が挿入されているので、マクロブロック及び／又はスーパーブロックの境界でのエッジを目立たなくすることができる。そして、画面上のエッジを検出し、ブロックの境界エッジが検出されたところでローパスフィルタ特性を挿入されるので、ブロックの境界で常にローパスフィルタ特性を挿入する場合に比べて、画質の劣化を少なくすることができる。

【図面の簡単な説明】

【図1】 この発明が適用されたデジタルVTRの記録系のブロック図である。

【図2】 マクロブロックの説明に用いる略線図である。

【図3】 スーパーブロックの説明に用いる略線図である。

8

【図4】 この発明が適用されたデジタルVTRの再生系のブロック図である。

【図5】 この発明の一実施例の説明に用いる略線図である。

【図6】 この発明が適用されたエッジ処理回路の一例のブロック図である。

【図7】 この発明が適用されたエッジ処理回路における垂直エッジフィルタの一例のブロック図である。

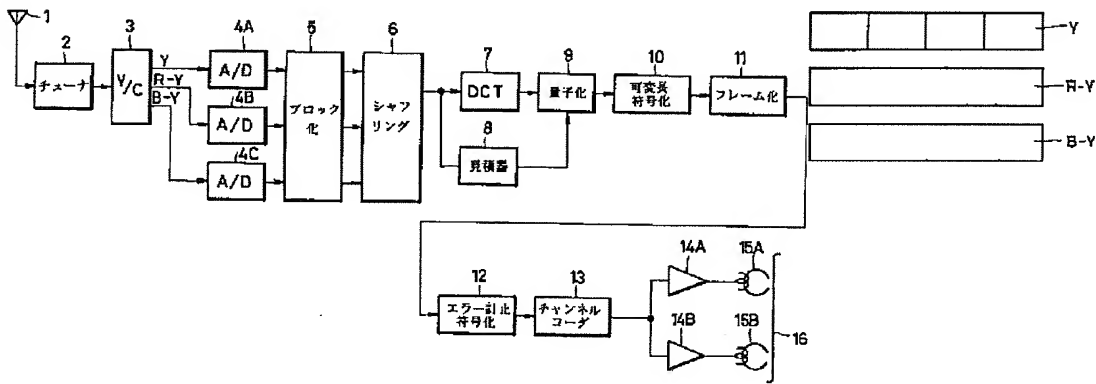
【符号の説明】

10 36 エッジ処理回路

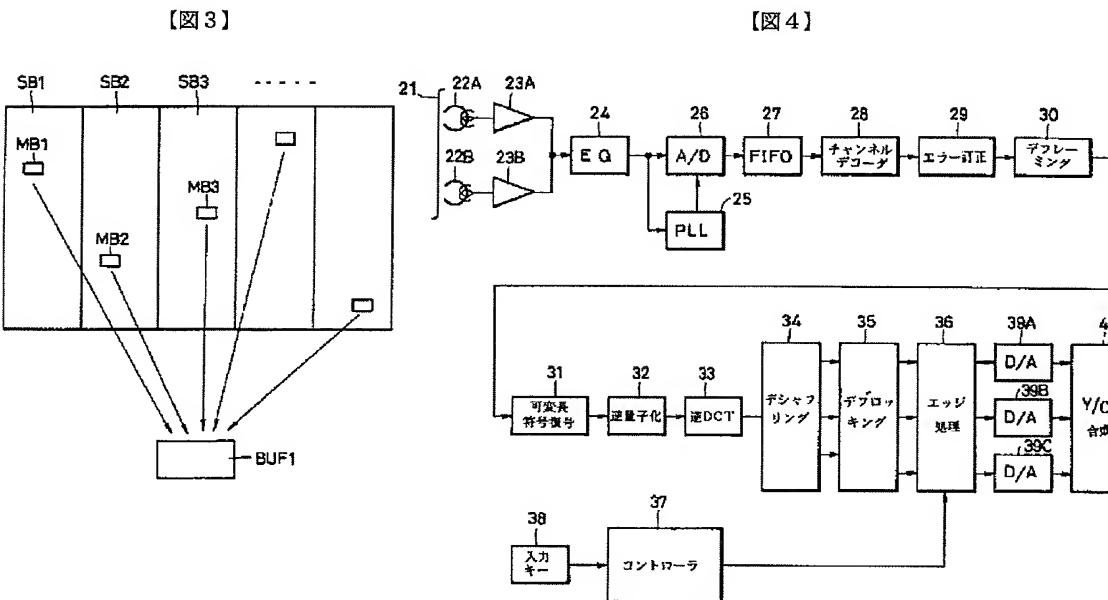
72 垂直エッジフィルタ

73 水平エッジフィルタ

【図1】



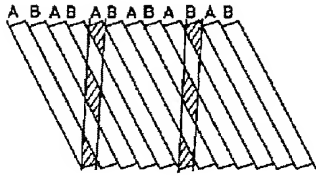
【図2】



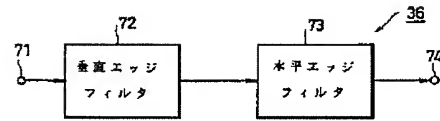
【図3】

【図4】

【図5】



【図6】



【図7】

